

IMAGE RECORDING DEVICE

Publication number: JP2001203936

Publication date: 2001-07-27

Inventor: SCHWEER RAINER

Applicant: THOMSON BRANDT GMBH

Classification:

- **International:** H01L27/146; H04N3/15; H04N5/335; H04N5/907;
H01L27/146; H04N3/15; H04N5/335; H04N5/907;
(IPC1-7): H04N5/335; H01L27/146; H04N5/907

- **European:** H01L27/146F2; H04N3/15E

Application number: JP20000374283 20001208

Priority number(s): DE19991059539 19991209

Also published as:

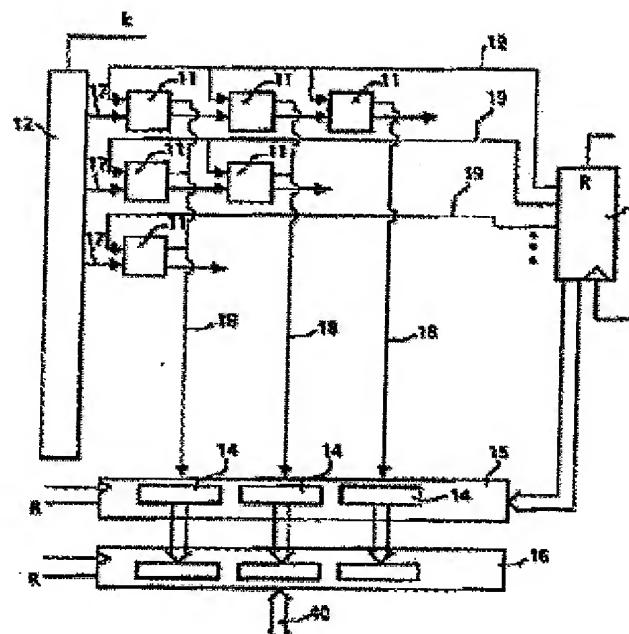
- EP1107581 (A2)
- EP1107581 (A3)
- DE19959539 (A)
- CN1300161 (A)
- CN1163059C (C)

[Report a data error here](#)

Abstract of JP2001203936

PROBLEM TO BE SOLVED: To provide an image recording device which reduces the complexity of an A/D converter integrated together with a CMOS image sensor.

SOLUTION: This image recording device is constituted by similarly integrating means for converting analog values accumulated in optical detecting elements into digital values and those means while allocated to a sensor matrix itself is allocated to the periphery of the sensor material. Comparators are allocated by the optical detecting elements; and an analog value is inputted to one input of a comparator and a ramp voltage is inputted to the other input. The output of the comparator is connected to a trigger input of a register having N-bit width. Here, N is a natural number which is equal to or larger than 2. A number N corresponds to the number of the bits of a digital value which is generated. An output pulse of the comparator makes the register to store the buffer storage of a momentary value of the ramp signal in digital form in a buffer. This solving method, therefore, generates the ramp signal so that a digital value which should be converted is directly reflected.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-203936

(P2001-203936A)

(43)公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl.⁷
 H 04 N 5/335
 H 01 L 27/146
 H 04 N 5/907

識別記号

F I
 H 04 N 5/335
 5/907
 H 01 L 27/14

テ-マト*(参考)
 E
 B
 A

審査請求 未請求 請求項の数11 OL (全7頁)

(21)出願番号 特願2000-374283(P2000-374283)
 (22)出願日 平成12年12月8日(2000.12.8)
 (31)優先権主張番号 19959539.9
 (32)優先日 平成11年12月9日(1999.12.9)
 (33)優先権主張国 ドイツ(DE)

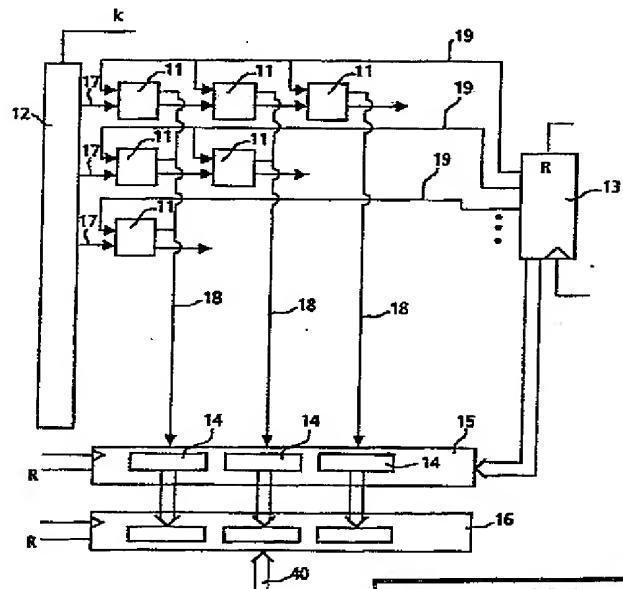
(71)出願人 595033034
 ドイチエ トムソン-プラント ゲーエム
 ベー/ハ
 Deutsche Thomson-Br
 andt GmbH
 ドイツ連邦共和国 デ—78048 ヴィリ
 ングン-シュヴェニンゲン ヘルマン-シ
 ュヴェーア-シュトラーゼ 3
 (72)発明者 ライナー シュヴェーア
 ドイツ連邦共和国, 78078 ヴィリンゲン
 -シュヴェニンゲン, ラエルヒエンヴェー
 ク 12
 (74)代理人 100070150
 弁理士 伊東 忠彦 (外1名)

(54)【発明の名称】 画像記録装置

(57)【要約】

【課題】 本発明の目的は、CMOSイメージセンサと共に集積されるA/D変換器の複雑さを低減した画像記録装置を提供することである。

【解決手段】 本発明の画像記録装置では、光検知要素に蓄積されたアナログ値をデジタル値に変換するための手段は同様に集積され、これらの手段は、一方ではセンサマトリクスそれ自身及び、他方ではセンサマトリクスの周囲へ割り当てられる。また、比較器が光検知要素毎に割り当てられ、比較器には一方の入力へアナログ値が入力され且つ他方の入力にはランプ電圧が入力される。比較器の出力はNビット幅を有するレジスタのトリガ入力に接続される。ここで、Nは、N≥2の自然数である。番号Nは、発生されるべきデジタル値のビットの数に対応する。比較器の出力パルスは、レジスタにデジタル形式のランプ信号の瞬時値のバッファ蓄積を起こさせる。従って、この解決方法では、ランプ信号は、変換されるべきデジタル値を直接反映するように形成される。



FP03-0379
 (JP)
 '08.9.09
 OA

【特許請求の範囲】

【請求項 1】 複数の光検知要素を有し、光検知要素に蓄積されたアナログ値をデジタル値に変換するための集積された手段を有し、比較器が光検知要素毎に割り当てられ、比較器には一方の入力へアナログ値が入力され且つ他方の入力にはランプ信号が入力される、画像記録装置であって、比較器の出力はNビット幅を有するレジスタのトリガ入力に接続され、ここで、Nは、 $N \geq 2$ の自然数であり、比較器の出力パルスは、レジスタにディジタル形式のランプ信号の瞬時値のバッファ蓄積を起こさせることを特徴とする画像記録装置。

【請求項 2】 光検知要素はマトリックス形式に配置され且つ、対応するセレクタによりロー又はコラムにアドレスされることができ、光検知要素に蓄積されたアナログ値はロー又はコラムに変換され、ローとコラムに設けられた光検知要素と同じ数のレジスタが並列に配置される請求項 1 記載の画像記録装置。

【請求項 3】 ランプ信号は、ロー又はコラムのアナログ値の変換のために、周期的に再スタートされる請求項 1 或は 2 記載の画像記録装置。

【請求項 4】 ランプ信号は値ゼロから最大値まで連続して増加し、ランプ信号の増加の数は、A/D 変換の望ましいビット分解能により決定される値に対応する請求項乃至 3 のうちのいずれか一項に記載の画像記録装置。

【請求項 5】 ランプ信号の増加毎の信号変化は、値の全範囲に亘って一定である請求項 4 記載の画像記録装置。

【請求項 6】 ランプ信号の増加毎の信号変化は、可変であり、変換の性質を人間の目の性質に適合させるために、特に値の範囲の第 1 の領域は第 2 の領域よりも小さい請求項 4 記載の画像記録装置。

【請求項 7】 シフトレジスタが設けられ、並列に配置されたレジスタのエントリはランプ信号周期の最後の後にコピーされる請求項 3 乃至 6 の内のいずれか一項記載の画像記録装置。

【請求項 8】 ランプ信号は、下流に接続されたD/A 変換器を伴なうカウンタで発生される、請求項 1 乃至 7 のうちのいずれか一項記載の画像記録装置。

【請求項 9】 カウンタの現在のカウンタ値は、レジスタ/複数のレジスタの入力へ渡される請求項 8 記載の画像記録装置。

【請求項 10】 画像記録装置は、ビデオ画像を発生するのに設計され、光検知要素に蓄積されたアナログ値はローに変換され且つランプ信号の周期はビデオラインの継続時間に対応する請求項 2 乃至 9 のうちのいずれか一項記載の画像記録装置。

【請求項 11】 画像記録装置の実現のために、CMOS チップ技術が使用されている請求項 1 乃至 10 のうちのいずれか一項記載の画像記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、ビデオカメラ、ディジタルカメラ等に使用される画像記録装置に関する。用語ディジタルカメラはここでは、ディジタル写真に関する装置を意味する。

【0002】

【従来の技術】半導体イメージセンサを有する画像記録装置は、従来技術から既に比較的長い間既知である。いわゆる CCD アレイ（電荷結合素子）の最初のイメージセンサは、いわゆるパケットプリゲート原理に基づき動作する。CCD アレイはシリコンウェーハー上でも製造されるが、それにも関わらず特別な技術を要し、同じチップ上に他の要素を蓄積することが難しい。従って、これらの画像記録装置では、光検知要素により蓄められた電荷をデジタル値に変換することは、A/D 変換器を使用して、アレイの外で行われる。

【0003】近年いわゆる CMOS 画像センサも民生用電子に関連する装置で使用されている。それらは幾つかの大きな優位点がある。CMOS チップ技術は広まっている。それは、例えば、CMOS メモリモジュール又は CPU で使用される同じ製造ラインで CMOS イメージセンサを製造することを可能とする。製造ラインは、僅かに変換されねばならない。更に、CMOS イメージセンサは、1 つのチップ上に、他のスイッチング装置を蓄積する可能性が得られる。例えば、A/D 変換器と CMOS イメージセンサの 1 チップ上の蓄積は既に実現されている。しかし、画像最適化要素と画像圧縮装置も蓄積の考えもえられる。

【0004】CMOS イメージセンサの状況の従来技術の概略は、1999 年月の IEE ジャーナル固体回路、34巻 N. 3 第 348 ページから 356 ページの "CMOS イメージセンサのためのナイキストレート画素レベル ADC" に記載されている。この文書は、共に蓄積された画素毎の A/D 変換器を同様に含む CMOS イメージセンサを開示する。この場合には、各画素要素に対する基本構成は、光検知要素により蓄積された電荷は比較器の 1 つの入力に与えられる。ランプ信号は、比較器の他の入力へ渡される。ランプ信号は、階段状信号に対応し、即ち、増加の数で連続して増加する。D フリップフロップは比較器の下流に接続されている。ランプ信号から得られたクロック信号は、フリップフロップの D 入力へ与えられる。比較器の出力は、フリップフロップのトリガ入力 G へ接続されている。ランプ信号から得られたクロック信号は、ランプ信号に増分が加算されるたびに、その論理状態を変化する。フリップフロップの Q 出力は、配置のディジタル出力を表す。この配置は、比較器での現在のアナログ値を、ビットシリアルに、ディジタル値に変換する。

【0005】

【発明が解決しようとする課題】この解決方法では、ラ

ンプ信号は変換されるビット毎に再スタートされねばならないこの例により、蓄積されたアナログ値をmビットの分解能で変換したい場合には、少なくとも $2^m - 1$ 回のパスが必要である。

【0006】これはかなり複雑であり、この従来技術を出発点として、本発明の目的は、CMOSイメージセンサと共に集積されるA/D変換器の複雑さを低減することである。

【0007】

【課題を解決するための手段】この目的の組は、独立請求項1に記載の特徴より達成される。

【0008】本発明に従った画像記録装置では、光検知要素に蓄積されたアナログ値をデジタル値に変換するための手段は同様に蓄積され、これらの手段は、一方ではセンサマトリクスそれ自身及び、他方ではセンサマトリクスの周囲へ割り当てられる。また、比較器が光検知要素毎に割り当てられ、比較器には一方の入力へアナログ値が入力され且つ他方の入力にはランプ電圧が入力される。既知の解決方法とは異なり、比較器の出力はNビット幅を有するレジスタのトリガ入力に接続される。ここで、Nは、 $N \geq 2$ の自然数である。番号Nは、発生されるべきデジタル値のビットの数に対応する。比較器の出力パルスは、レジスタにデジタル形式のランプ信号の瞬時値のバッファ蓄積を起こさせる。従って、この解決方法では、ランプ信号は、変換されるべきデジタル値を直接反映するように形成される。解決方法は、所望のビット分解能に関わらず、変換されるべきランプ信号は変換当たり1回であるという優位点を与える。画像記録装置に画素毎の追加のフリップフロップを供給する必要はない。

【0009】独立請求項に提示された手段により、更なる優位点と改良が可能である。光検知要素のマトリクス形式の配置の場合には、ロー又はコラムのアドレッシングは、アナログ値がロー又はコラムに変換されるように行われることができ、Nビット幅を有し且つ、並列に配置されたレジスタの数は、ローとコラムに設けられた光検知要素と同じ数のレジスタのみでなければならない。この結果、集積化の複雑さは、低減され、そして、比較的少ないNビットレジスタがのみが設けられればよい。

【0010】ロー又はコラムの実現又は変換と関連して、ロー又はコラムのアナログ値の変換ごとに、ランプ信号が周期的に再スタートされる場合には優位である。

【0011】ランプ信号は各時点でデジタル値を反映するように構成されるべきである。これは、単純な方法で実現される。このために、アナログ測定値の全範囲が単にランプ信号により包含される必要があり、そして、増分の数は所望のビット分解能に対応しなければならない。例により、8ビット分解能を達成したい場合には、ランプ信号は、0-255へ増加しなければならず、ア

ナログ測定値の範囲の最大は最大の可能な値255で達しなければならない。

【0012】ランプ信号の増分が可変であり、特に値の第1の範囲の領域は第2の領域よりも小さい場合には優位である。変換の性質を、人間の目の性質に適合させることができる。これは、人間の目は、ある基本的な輝度を超えたときには、輝度の変化に人間の目があまり感度良く応答しないためである。精密な分解能は低輝度の範囲で達成される。

【0013】更に、シフトレジスタが設けられ、Nビット幅を有し並列に配置されたレジスタのエントリはランプ信号周期の最後の後にコピーされるならば優位である。レジスタ内容をシフトレジスタへ再び高速にコピーすることは、次のロー又はコラムのアナログ値の変換のためのレジスタ内の自由空間を形成する。シフトレジスタへ受け入れられた値は、順番に読み出され、そして、従来のRAMメモリ又は他の特別な画像メモリへ書きこまれる。これは、次のランプ信号周期内で行われ、そして、並列して、次のロー又はコラムの変換が進められる。

【0014】ランプ信号は、下流に接続されたD/A変換器を伴なうカウンタで優位に発生される。この解決方法に対しては、カウンタのそれぞれのカウンタ値が、A/D変換に必要とされるレジスタの入力へ渡される。比較器の出力パルスは、レジスタの書き込みパルスを発生し、そして、このようにレジスタは入力で有効に現在のカウンタ値を受け入れる。

【0015】画像記録装置がビデオ画像を発生するに使用される場合には、アナログ値はローに変換され、ランプ信号の周期はビデオラインの継続時間に対応するという優位点がある。

【0016】本発明に従った画像記録装置は、CMOSチップ技術を使用して優位に製造される。

【0017】

【発明の実施の形態】本発明を、デジタルカメラを例に説明する。そのような装置は静止画(写真)を直接デジタル形式で記録するのに使用される。図1は、そのような装置の単純化したブロック図を示す。デジタルカメラの光学部品は図1では省略している。それらは、特に、対物レンズ、絞り、シャッタと、オーディオとフォーカス、自動時間及び絞り機構、フラッシュ発生等のような電子的な補助装置を含む。存在するコンピュータインターフェースも省略されている。参照番号10は、CMOS画像記録装置を示す。以下に構成を詳細に示す。CMOS画像記録装置10は、データ、アドレス及び制御バス40を介してマイクロプロセッサ20に接続されている。RAMメモリ30も、データ、アドレス及び制御バス40に接続されている。記録された画像は、前記RAMメモリに蓄積され、そして、コンピュータインターフェースを介して、コンピュータへ送られ又は、

画像を印刷するのに使用されるプリンタへ転送される。RAMメモリ30へのCMOS画像記録装置10のデータの転送は、マイクロプロセッサ20により制御される。後者は、対応する設計が与えられており、同じにデジタルカメラ内で更なる制御タスクを行う。上述の例は既に述べた自動時間及び絞り機構を含み、また、自動フォーカスシステムとフラッシュ制御と存在するキーを通してのユーザ命令入力の処理の全体も含む。

【0018】CMOS画像記録装置10の構成を図2を参照して以下に説明する。画像記録装置10は、光検知CMOS光センサ11を含む。これらのCMOS光センサ11は、図2の別々のブロックとして各々が示されている。これは、それぞれのブロックに配置されているのは、CMOS光センサ単独ではなく、A/D変換に重要な更なる構成要素も含み、以下に詳細に説明する。各光検知要素は、記録されるべき画像の個々の画素の光を検出する。従って、できるだけ多くのCMOS光センサをマトリクスに配置することが好ましい。100万以上の光センサを有するCMOS画像記録装置は、既に現在製造されている。

【0019】カラー画像を記録する場合には、3原色RGBを各場合に別に記録することが必要である。これは、例えば、各々にカラーフィルタされた光が送られる、3つの異なるCMOS画像記録装置10をカメラ内に配置することによりできる。3つの異なる画像記録装置ではしかし、CMOS画像記録装置10の構成原理に変化はない。

【0020】画像記録装置の露光後に、光センサ11に蓄積された電荷の量を読み出すために、ローレセクタ12が図2に設けられる。画像ラインはそれゆえに、個々に選択される。画像ライン当りの対応する制御線は図2の画像ラインの各光センサ11に経路が選択される。これらの制御線は、参考番号17により示される。各光検知セル11内で、ロー選択信号は、それぞれの出力線18を開閉するために動作する。図2の例の配置は、コラムの光センサ11の出力線は、相互に接続され、單一の選択線を介して記録するマトリクスから出力経路が選択される。ロー選択信号はコラムの度の光センサ11をコラム出力線18へ接続するかを定義する。これは、画像ラインの光センサ11は、個々に全てが評価されることを保証する。このために、レジスタブロック15が光センサのマトリクスの出力に設けられている。このレジスタブロック15内では、画像ラインに存在する光センサ11と同じ数のレジスタ14が並列に配置される。出力線18は各々が関連するレジスタ14の制御入力に接続されている。また、レジスタと出力線18の間には、信号の調整のために、それぞれの増幅段階が設けられている。レジスタブロック15は、更に2つのクロック信号が供給され、1つは、リセット信号Rとして指定される。さらに、特別の特徴は、レジスタ14のデータ入力

は、ランプ信号発生装置13に接続されていることである。言い換えると全てのレジスタ14は、同じデータ入力値を受ける。これは以下に詳細に説明する。

【0021】ランプ信号発生装置13は、各画像ラインに関して別の出力を有する。ランプ信号は、各々の場合に、選択された画像ラインに関して発生される。ランプ信号発生については、クロック信号とりセット信号がこの装置に入力される。ランプ信号出力ラインは、参考番号19により指定されている。

【0022】シフトレジスタ16も、レジスタブロック15の隣に配置されている。前記シフトレジスタは、個々のレジスタ14のエントリーを受けるように働く。従って、各レジスタ14のデータ出力は、対応するシフトレジスタ16のパラレル入力に接続されている。レジスタ値はランプ信号周期の最後で受け入れられ、以下にこの詳細を示す。データがシフトレジスタ16に受けられたなら、バス接続40を介して、RAMメモリブロック30へ送られ得る。これは、シフトレジスタ16に蓄積されたデータワードの数に対応する幾つかのシフト動作によりなされる。シフトレジスタ16は、好ましくは、パレルシフタとして設計され、1ビット以上のシフトが、1クロック周期内で起こる。レジスタワードは個々に読出しされるようになされるので、クロック周期当たりのシフトは、レジスタワードの幅に対応するビット数により行われるべきである。いかえると、レジスタ幅が8ビットなら、クロック周期当たりにそれぞれの8ビットのシフトである。

【0023】上述のCMOS画像記録装置10の動作方法の説明に関して、光センサ11の構成とランプ信号発生装置10の構成が予め説明されるなら優位である。

【0024】図3は、各光検知セル11の構造を示す。光検知要素は参考番号111により示される。この場合フォトダイオードが光検知要素として選択されている。フォトダイオードの下流に接続されているのは、増幅トランジスタ112である。後者は、フォトダイオードにより集められそしてキャパシタンス(図示していない)により蓄積された電荷を増幅する。このように増幅された信号は、比較器113の入力に送られる。比較器113は、非常に高速なスイッチングを保証するために例えば、シュミットトリガとして設計される。ランプ信号は、更に比較器113の入力へ与えられる。スイッチ114は、また比較器113の出力と、光検知セル11の出力間にも設けられ、そのスイッチは例えば、3値ドライバとして実現される。スイッチ114は、ロー選択制御線17を介して駆動される。

【0025】ランプ信号は例えば図5に示される。そこに示された例は、16ステップで増加するランプ信号を示す。増加を制御するクロック信号は、ランプ信号の下に直接示されている。ランプ信号は各16番目の増加ステップの後に、ゼロにリセットされる。これは、リセッ

ト信号Rにより制御される。リセット信号は、クロック信号から得られる。

【0026】ランプ信号は、カウンタと下流に接続されたD/A変換器の助けで簡単に発生される。これは、図4に示されている。参照番号131は、カウンタを示す。各場合にカウンタ値は、D/A変換器132に与えられる。後者は、カウンタ値を対応するアナログ値へ変換する。そして、アナログ信号は、デマルチブレックス装置133へ送られ、ここで、出力19の1つへ向けられる。デマルチブレクサ133は、クロック入力としてリセットパルスを受信し、その結果、ランプ信号が、次の画像ラインのために出力19へ送られる。重要なのは、現在のカウンタ値が同様にランプ信号発生装置13から経路が選択されていることである。上述のように、カウンタ値は、CMOS画像記録装置10のレジスタブロック15内のレジスタ14のデータ入力に与えられる。

【0027】画像記録装置の動作の方法は、以下のようである。露光後、光検知セル11は、A/D変換を受けそして、ローで読み出される。ランプ信号はリセットパルスと同期して選択された画像ラインの全セルに与えられる。ランプ信号は値0で開始し、そして、シフトレジスタ16ステップ内で値16まで増加する。この周期中に、比較器113は2つの入力を他の1つと比較する。ランプ信号が他の入力にあるアナログ値を超えた場合には、信号エッジが発生され、そして、関連するレジスタ14の制御入力へ出力18を介して向けられる。これは、レジスタ14にすぐにカウンタ131の現在のカウンタ値をバッファ蓄積させることを起こす。存在するアナログ値の例は、図5で破線で示されている。この値は11回目の増加ステップ後にのみ超えている。従って、値11が関連するレジスタ14に、現在のカウンタ値として蓄積される。この方法には、カウンタ値0が検出されないと、問題がある。これは、アナログ値は、第1の増加の後のみ越えられることができるが、しかし、その後はカウンタ値は既に値1を有するためである。従って、ここでの解決方法は、元来値0-15に関して必要な4ビットカウンタの代わりに、5ビットカウンタが使用されるがしかし、0-16のみがカウントされ、そして、リセットパルスによりゼロにリセットされる。そして、レジスタにカウンタ値1がバッファ蓄積された時には、この値には続いて値ゼロが割り当てられ、そして、例えば、値16がバッファ蓄積された場合には、この値には値15が割り当てられる。これは、マイクロプロセッサ20により、シフトレジスタ16からの各読み出された値から1を引くことにより簡単に行われ、そして、これをその形式でRAMメモリ30に蓄積する。他の解決方法もこの問題の解決にもちろん適用可能である。

【0028】A/D変換の4ビット分解能は、ディジタル

写真には不適切である。CMOS画像記録装置10ビットの大きさのオーダーの分解能が更にこの場合には使用されるべきである。これは、レジスタ14は少なくとも10ビットの幅を有さねばならず、カウンタ131は少なくとも10ビットカウンタとして設計されねばならない。ランプ信号は、少なくとも0-1023から増加される。上述したのと同じ解決方法が使用される場合には、ランプ信号は0-1024からカウントされ、そして、11ビットカウンタが使用され、レジスタ14も1ビット幅を有する。従って、シフトレジスタ16も適合しなければならない。

【0029】ランプ信号発生のためのクロック信号は、デジタルカメラのアプリケーションの場合には、多くの画像が秒当たりに記録されなければならない必要はないので、特に高い必要はない。本発明に従った画像記録装置がビデオカメラで使用される場合には、ここでは、要求は異なる。しかし、8ビット分解能のA/D変換はこのアプリケーションに対して十分である。光検知セルは同様にローで読み出される場合には、以下の要求がクロック信号になされる。8ビットの分解能と $64\mu s$ のビデオライン長は、 $256 \times 1 / 64\mu s$ のクロック周波数となり、これは4MHzのクロック周波数となる。しかし、これは、今日の技術では問題ではない。今日のマイクロプロセッサでの慣習と比較するとむしろ比較的低クロック周波数である。ビデオカメラでは、画像は既知のラインインターレース法に従って、走査される。これは、対応して指定されるべきローセレクタ12を必要とする。更に詳細には、変換されたデータがフィールドメモリへ直接転送されることが意図されている場合には、ローセクタ12は、各場合に、リセット信号が到着したときに、次のしかし1つのローを選択しなければならない。さらに、フィールドの最後で次のフィールドの、オフセットに対応して配置される、最初のラインに切換がなされることが保証されねばならない。しかし、この問題は既に従来技術で解決され対応する回路が利用できる。しかし、順次画像走査は、上述の本発明に従った画像記録装置をしようして簡単な方法で実現もされる。

【0030】概して、シフトレジスタ16に対するクロック信号はランプ信号発生装置13からのクロック信号と異なる。特に、全てのバッファ蓄積された値はランプ信号周期内で読み出され、RAMメモリ30へ転送されることが保証されねばならない。高速なクロック信号は、この目的に必要である。これは、どのくらいの光検知セル11が画像ラインに配置され、そして、どのくらいの分解能でA/D変換が行われるかによる。例により、256光センサ以上が画像ラインに設けられ8ビット分解能ならば、シフトレジスタ16のクロック信号は変換クロック信号よりも高周波数でなければならない。例により、画像ラインに1024の光センサが設けられている場合には、シフトレジスタ16のクロック信号

は、ビデオカメラアプリケーションの場合には、 $1024 \times 1 / 64 \mu s = 16 MHz$ でなければならない。

【0031】ここで説明した実施例の多様な变形は可能であり、本発明の範囲内であると見なされるべきである。

【0032】実施例では、ランプ信号のそれぞれの瞬時の値がレジスタに蓄積される。用語レジスタは瞬時値を蓄積できる他の構成要素を意味すると理解されるべきである。上述の例は、光検知セルの出力信号により停止され且つそのうえ瞬時値をバッファ蓄積する並列に動作するカウンタである。

【0033】図5に示すランプ信号は、同じサイズのステップを有する階段上の形式を有する。本発明の展開では、ランプ信号は、異なる形式を有する。例えば、階段状ステップは可変の高さを有しても良い。8ビット分解能の場合には、例えば、望むなら、最初の127ステップは特定の第1の高さで設計され、そして、残りのステップは、異なるステップ高さで設計される。第1のステップの高さが第2のステップの高さよりも低い場合には、人間の目の変換特性への変換特性の適合が簡単な方法で達成される。特に、人間の目は、特定の基本的な輝度が超えられている場合には、輝度の変化に低感度である。より精密な解像度は、低輝度範囲で達成される。しかし、他の範囲の分割も適切である。しかし、ステップ高さの連続する変化も、例えば、対数変換特性を達成するために考えられる。

【0034】ローに変換されるアナログ値の代わりに、単純な方法でコラムデの変換を実現することが可能である。この目的のために、ローレセクタの代わりに、対応するコラムセレクタが設けられねばならず、光センサ1の出力はローに接続されねばならない。

【0035】更に、複数のローとコラムも、アプリケーションで必要であるならば、結合した方法で評価されることができる。その場合には、対応する複数のレジスタはレジスタブロック設けられ、シフトレジスタも対応して拡大されねばならない。原理的には、アナログ値は画素後とに変換もできる。その場合には、1つの画素に対して有効な各場合に非常に高速なランプ信号が発生されねばならずそして、1つのレジスタのみが設けられる必要がある。しかしそれは、対応して高速に読み出されねばならずそして、光検知セル11の出力19はマルチプ

レクサを介してレジスタの制御入力に接続されなければならない。

【0036】他の実施例では、レジスタが各場合に別に特に光検知セル11ごとに、設けられる。これはCMOS技術を使用して実現可能である。その場合には画素マトリクスのサイズの低減をおそらく受け入れることが必要である。

【0037】

10 【発明の効果】本発明により、CMOSイメージセンサと共に集積されるA/D変換器の複雑さを低減した画像記録装置を提供できる。

【図面の簡単な説明】

【図1】ディジタルカメラの基本ブロック図である。

【図2】本発明に従った画像記録装置のブロック図である。

【図3】画素毎に設けられている本発明に従った画像記録装置のブロック図である。

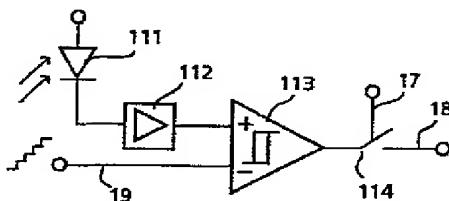
【図4】ランプ信号発生装置のブロック図である。

【図5】ランプ信号及び、関連するクロック信号を示す図である。

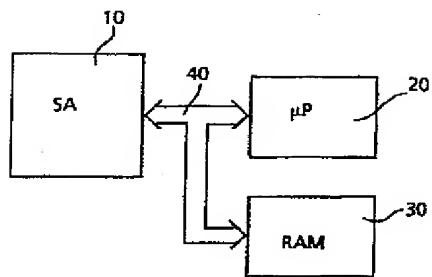
【符号の説明】

- | | |
|-----|----------------|
| 10 | CMOS画像記録装置 |
| 11 | CMOS光センサ |
| 12 | ローレセクタ |
| 13 | ランプ信号発生装置 |
| 14 | レジスタ |
| 15 | レジスタブロック |
| 16 | シフトレジスタ |
| 17 | ロー選択制御線 |
| 18 | 出力線 |
| 19 | 出力 |
| 20 | マイクロプロセッサ |
| 30 | RAMメモリ |
| 40 | データ、アドレス及び制御バス |
| 111 | 光検知要素 |
| 112 | 増幅トランジスタ |
| 113 | 比較器 |
| 114 | スイッチ |
| 131 | カウンタ |
| 132 | D/A変換器 |
| 133 | デマルチプレクサ |

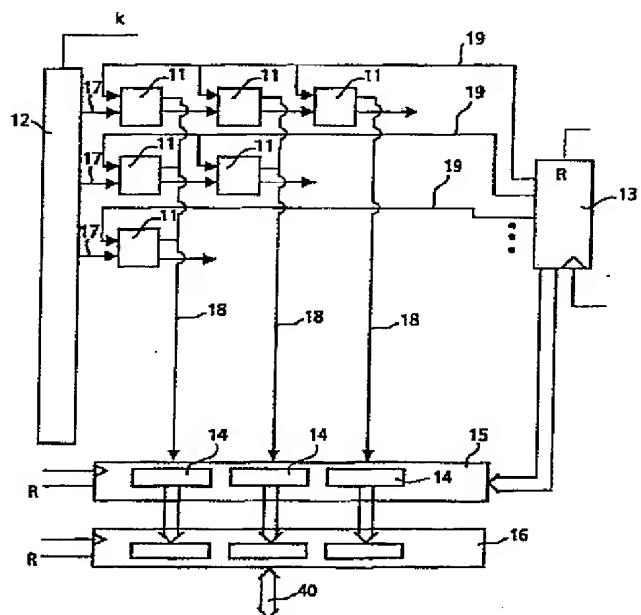
【図3】



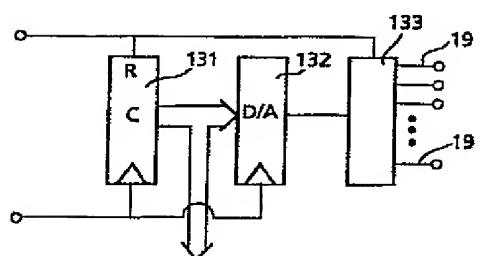
【図1】



【図2】



【図4】



【図5】

